

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002262545 A

(43) Date of publication of application: 13.09.02

(51) Int. Cl  
H02M 3/07  
G11C 16/06  
H01F 17/00  
H01L 27/04  
H01L 21/822  
H02M 7/21

(21) Application number: 2001053728

(22) Date of filing: 28.02.01

(71) Applicant: TOSHIBA CORP

(72) Inventor: IKEHASHI TAMIO

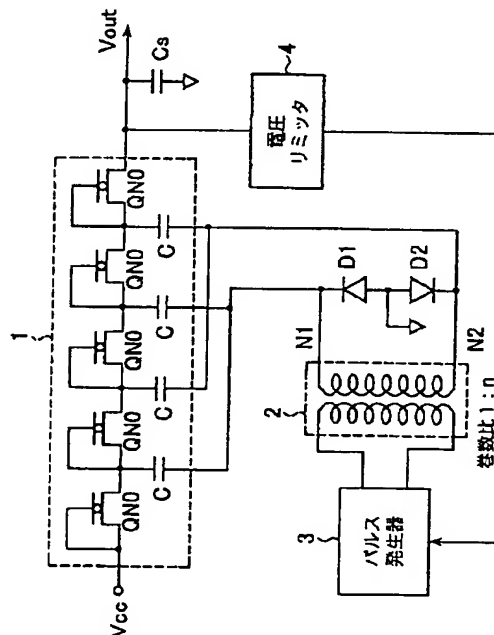
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device comprising a high voltage generating circuit which utilizes a microtransformer having a structure suitable for the generation of a high voltage.

SOLUTION: In the semiconductor device comprising the high voltage generating circuit, the high voltage generating circuit is provided with a voltage boosting circuit 1, in which a voltage boosting unit composed of a capacitor C and a rectifying transistor QN0 which is driven by the capacitor C to transfer electrical charge in one direction is connected in series in a plurality of stages between Vcc and an output terminal Vout, a transformer 2 provided with a primary coil and a secondary coil with the secondary side output thereof supplied to the capacitor of the voltage boosting circuit 2 and a pulse generator 3 to supply a pulse to a primary side of the transformer 2.

COPYRIGHT: (C)2002,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-262545

(P2002-262545A)

(43) 公開日 平成14年9月13日 (2002.9.13)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 2 M 3/07		H 0 2 M 3/07	5 B 0 2 5
G 1 1 C 16/06		H 0 1 F 17/00	B 5 E 0 7 0
H 0 1 F 17/00		H 0 2 M 7/21	A 5 F 0 3 8
H 0 1 L 27/04		G 1 1 C 17/00	6 3 2 A 5 H 0 0 6
21/822		H 0 1 L 27/04	G 5 H 7 3 0

審査請求 未請求 請求項の数12 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2001-53728(P2001-53728)

(22) 出願日 平成13年2月28日 (2001. 2. 28)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 池橋 民雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100092820

弁理士 伊丹 勝

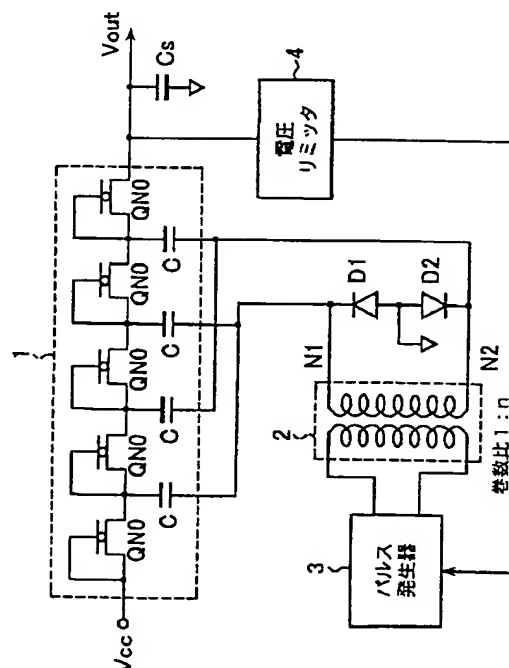
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高電圧生成に適したマイクロトランスフォーマの構造及びその様なマイクロトランスフォーマを用いた高電圧発生回路を内蔵する半導体装置を提供する。

【解決手段】 高電圧発生回路を内蔵する半導体装置において、高電圧発生回路は、キャパシタCとこれにより駆動されて一方向に電荷を転送する整流用トランジスタQNOとからなる昇圧ユニットがVccと出力端子Voutの間に複数段直列接続された昇圧回路1と、一次コイルと二次コイルを備え、その二次側出力が昇圧回路2のキャパシタに供給されるトランスフォーマ2と、このトランスフォーマ2の一次側にパルスを送給するパルス発生器3とから構成される。



## 【特許請求の範囲】

【請求項 1】 高電圧発生回路を内蔵する半導体装置において、

前記高電圧発生回路は、

キャパシタとこれにより駆動されて一方向に電荷を転送する整流回路とからなる昇圧ユニットが基準端子と出力端子の間に複数段直列接続された昇圧回路と、

一次コイルと二次コイルを備え、その二次側出力が前記昇圧回路のキャパシタに供給されるトランスフォーマと、

このトランスフォーマの一次側にパルスを供給するパルス発生器と、を有することを特徴とする半導体装置。

【請求項 2】 前記トランスフォーマの二次コイルの第 1 及び第 2 の端子にそれぞれ、アノードが接地されたダイオードが接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記トランスフォーマの二次コイルの第 1 の端子の出力が前記昇圧回路の偶数段の昇圧ユニットのキャパシタに供給され、第 2 の端子の出力が前記昇圧回路の奇数段の昇圧ユニットのキャパシタに供給されることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記トランスフォーマの二次コイルの第 1 及び第 2 の端子とその出力が供給されるキャパシタとの間にそれぞれ、二次コイルからキャパシタの方向にのみ電流を流すように整流素子が挿入され、更に各整流素子の下流側に、制御信号により電荷を放電するトランジスタが設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記整流素子は、ダイオード接続されたトランジスタであることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 高電圧発生回路を内蔵する半導体装置において、

前記高電圧発生回路は、

一次コイルと二次コイルを備えて構成されたトランスフォーマと、

このトランスフォーマの一次側にパルスを供給するパルス発生器と、

前記トランスフォーマの二次コイルの第 1 及び第 2 の端子にそれぞれカソードが接続され、アノードが接地されたダイオードと、

前記トランスフォーマの二次コイルの第 1 及び第 2 の端子と出力端子との間にそれぞれ、二次コイルから出力端子の方向にのみ電流を流すように介在させた、ダイオード接続されたトランジスタと、を有することを特徴とする半導体装置。

【請求項 7】 前記出力端子に、出力電圧のレベルを検知して前記パルス発生器の活性及び非活性を制御する電圧リミッタが設けられていることを特徴とする請求項 1 又は 6 記載の半導体装置。

【請求項 8】 前記トランスフォーマの一次コイル及び二次コイルは、半導体基板上に絶縁膜を介して積層された、渦巻き状にバターンニングされた配線層により形成された平面型コイルであり、

前記半導体基板に、前記平面型コイルの中心を通過して前記半導体基板に下ろされた垂線と交差する直線状の素子分離領域が形成されていることを特徴とする請求項 1 又は 6 記載の半導体装置。

【請求項 9】 半導体基板と、

10 この半導体基板上に、渦巻き状にバターンニングされた配線層により形成された平面型コイルと、

前記半導体基板に、前記平面型コイルの中心を通過して前記半導体基板に下ろされた垂線と交差する直線状に形成された素子分離領域とを有することを特徴とする半導体装置。

【請求項 10】 半導体基板と、

この半導体基板を覆う第 1 の絶縁膜上に渦巻き状にバターンニングされた第 1 の配線層により形成された第 1 のコイルと、

20 この第 1 のコイルを覆う第 2 の絶縁膜上に、第 1 のコイルと同軸的に渦巻き状にバターンニングされた第 2 の配線層により形成された第 2 のコイルと、

前記半導体基板に、前記第 1 及び第 2 のコイルの中心を通過して前記半導体基板に下ろされた垂線と交差する直線状に形成された素子分離領域とを有し、

前記第 2 のコイルを一次コイル、前記第 1 のコイルを二次コイルとしてトランスフォーマが構成されていることを特徴とする半導体装置。

【請求項 11】 前記第 2 のコイルを覆う第 3 の絶縁膜上に、第 1 及び第 2 のコイルと同軸的に渦巻き状にバターンニングされた第 3 の配線層により形成されて、前記第 1 のコイルと並列接続されて一次コイルとして用いられる第 3 のコイルを有することを特徴とする請求項 10 記載の半導体装置。

【請求項 12】 前記素子分離領域は放射状に形成されていることを特徴とする請求項 8、9、10 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、高電圧発生回路を内蔵する半導体メモリ等の半導体装置に関する。

【0002】

【従来の技術】NAND型、NOR型のフラッシュメモリでは、書き込みや消去動作に 10～20V の高電圧を必要とする。このような高電圧は通常、図 10 に示すような昇圧回路により生成されている。この昇圧回路のキャパシタを駆動するクロックの周囲を T、昇圧ユニット一段当たりの容量を C、ダイオード接続された電荷転送トランジスタのしきい値電圧を  $V_t$ 、昇圧ユニットの段数を N、出力電流を  $I_{out}$  とすると、昇圧回路の出力電

圧V<sub>out</sub>は、数1のようになる(①J.F.Dickson, "On-Chip High Voltage Generation in MOS Integrated Circuits Using an Improved Voltage Multiplier Technique", IEEE Journal of Solid-State Circuits, Vol. SC-11, No. 3, pp374-378, June 1976参照)。

【0003】

$$\text{【数1】 } V_{out} = (N+1)(V_{cc} - V_t) - (NT/C) I_{out}$$

【0004】この昇圧回路の回路面積は、昇圧回路の容量の総和NCにはほぼ比例している。近年半導体メモリの微細化に伴い、電源電圧V<sub>cc</sub>は低下する傾向にあるが、フラッシュメモリの書き込み消去電圧は下がっていない。このことは、数1から明らかなように、昇圧回路の段数を増やす必要があることを意味している。したがって従来の昇圧回路を使っている限り、電源電圧V<sub>cc</sub>の低下に伴い昇圧回路の回路面積比率は増加してゆく。特に電源電圧V<sub>cc</sub>が1.8V以下の世代では、昇圧回路の面積がチップ面積のかなりの割合を占め、チップコストを増大させる深刻な要因となる。

【0005】こうした状況に鑑み、回路面積が小さくかつ低電源電圧領域でも動作可能な高電圧生成回路の構成手法として、半導体基板に形成されたマイクロトランスフォーマー(microtransformer)を利用することが考えられる。磁界の変化による誘導起電力を利用したトランスフォーマーによる高電圧生成方式は、旧来からよく知られている。トランスフォーマーは、図11に示すように、巻数比1:nの一次コイルと二次コイルを誘磁率の高い強磁性体に巻き付けた構造をしている。強磁性体は磁束の洩れをなくすためにいれてある。一次コイルに振幅Vのバルス電圧を入力すると、磁束の洩れがない場合(すなわち結合定数(coupling factor)が1の場合)、二次コイルでは振幅nVのバルスが生成される。但し、電流は1/nになる。トランスフォーマーにおいてエネルギーの損失はない。また、二次コイルの出力に整流素子を設ければ、出力電圧のDC化ができる。

【0006】このようなトランスフォーマーを半導体チップ上に形成したもの(マイクロトランスフォーマー)を用いれば、原理的にはフラッシュメモリの高電圧生成回路ができる。しかし実際に有効に機能する高電圧生成回路を作るためには、いくつかの課題を克服する必要がある。

【0007】

【発明が解決しようとする課題】第一の課題は、マイクロトランスフォーマーの構造と製造プロセスに関するものである。現状の半導体メモリで使用されている材料は空気と同程度の透磁率しか持たないため、図11のような3次元形状のトランスフォーマーを採用する限り、強磁性体の使用は必須となる。半導体チップ上に強磁性体コアを形成する技術は進展しつつある(例えば、②J.Y.Park et al., "Packaging-Compatible Microtransformers on a Silicon Substrate", IEEE 50th Electronic Compo

nents & Technology Conference, pp206-210, 2000. ③M. Mino et al., "Planar Microtransformer with Monolithically-Integrated Rectifier Diodes for Micro-Switching Converters", IEEE Transactions on Magnetics, Vol. 32, No. 2, pp291-296, March 1996)。

【0008】しかし、3次元形状のトランスフォーマーを半導体メモリに搭載することを考えた場合、製造プロセスの複雑化によるコスト増が昇圧回路面積縮小によるコスト減を上回り、総コストとしては増大する可能性が高い。また現段階で半導体チップ上に形成可能な強磁性体コアは、概して低い誘磁率しか持たない(④J.Driesen et al., "Electric and Magnetic FEM Modeling Strategies for Micro-Inductors", IEEE Transactions on Magnetics, Vol. 35, No. 5, pp3577-3579, September 1999)。

【0009】更に、強磁性体を微細化したことによる反磁界の効果(⑤白江公輔他著、"マイクロ磁気デバイスのすべて"、工業調査会、1992)や、渦電流(eddy current)などの問題をクリアする必要がある。こうした諸問題を回避するには、強磁性体を使用せず、現有の半導体メモリ製造プロセスで形成可能で、なおかつ高い結合定数を有するマイクロトランスフォーマーが必要となる。最近研究されている平面マイクロトランスフォーマー(Planar Microtransformer)は、その候補として有力である。

【0010】平面マイクロトランスフォーマーにはいくつかの種類がある。その一つは、図12のような形状をしている。一次コイルと二次コイルは同一のメタル配線層で形成されており、コンタクトへの接続は第二のメタル配線層でとる。渦巻き状の一次コイルと二次コイルが絡まった構造をしているため、強磁性体を用いずとも高い結合定数が実現できる。結合定数は巻数比1:1の場合0.82、巻数比1:1.5の場合0.76となる(⑥J.R.Long, "Monolithic Transformers for Silicon RF IC Design", IEEE Journal of Solid State Circuits, Vol. 35, No. 9, pp1382-1382, September 2000)。

【0011】平面マイクロトランスフォーマーの第二のタイプは、図13のような渦巻き状のメタル配線を、図14に示すように、縦に重ねた形状とするものである。一次コイルは第一のメタル配線層、二次コイルは第二のメタル配線層でつくり、明示していない第三のメタル配線層でコンタクトへの接続をとる。したがって三層のメタル配線層で実現可能である。第一と第二のメタル配線層の間隔が十分小さければ、磁束の洩れを小さくできる。巻数比1:1のコイルでメタル配線層間隔が1μm程度の場合、約0.9の結合定数が実現できる。

【0012】これらの平面マイクロトランスフォーマーは、半導体メモリの高電圧生成回路用として使える可能性を秘めている。しかし2V程度の電源電圧から20V近い高電圧を生成するには、1:10以上の巻数比にする必要がある。従来の平面マイクロトランスフォーマーの場合、巻数比が大きくなるにつれ結合定数が小さくなる

傾向にある。このことは、マイクロトランスフォーマにおけるエネルギー損失が増大し、レイアウト面積も増えることを意味している。したがって半導体メモリの高電圧生成に使う場合は、巻数比が大きくなっても高い結合定数が保てるようなマイクロトランスフォーマを開発する必要がある。

【0013】マイクロトランスフォーマのもう一つの問題は、半導体基板上に生成される渦電流である。磁束変化を妨げるように流れる渦電流は、結合定数を低下させる働きをする。渦電流を減らすには平面マイクロトランスフォーマ近傍、特にその上下のメタル配線を減らすことが有効であるが、半導体基板自体は減らすことができない。文献⑥では基板抵抗を高くして渦電流生成を抑えているが、半導体メモリの基板抵抗はメモリセルやトランジスタ特性に基づいて決定されるため、マイクロトランスフォーマのためだけに基板抵抗値を変更することはできない。したがって基板抵抗を変えることなく、基板上に生成される渦電流を低減することが必要となる。

【0014】第二の課題は、高電圧を生成する回路方式に関するものである。半導体メモリへの適用を考えた場合、トランスフォーマによって作られた交流高電圧から、直流高電圧を効率的に生成する回路が必要となる。このような回路はパワーデバイスの分野では良く知られているが、そのいくつかの実現方式のうち、フラッシュメモリへの適用に適した方式を選択する必要がある。特に、フラッシュメモリにおいて使用可能な素子を用いて、最も有効に機能する高電圧生成回路をつくる必要がある。

【0015】トランスフォーマを用いて半導体メモリ用の高電圧を生成する方法は、既に米国特許第5721506号、米国特許第5900764号、米国特許第6111451号等で報告されている。しかしこれらで述べられている方式は、DRAMで使用する、電源電圧の高々2倍程度の電圧を生成するものであり、10~20Vといった高電圧の生成には適していない。

【0016】この発明は、高電圧生成に適したマイクロトランスフォーマの構造及びそのようなマイクロトランスフォーマを用いた高電圧発生回路を内蔵する半導体装置を提供することを目的とする。

【0017】

【課題を解決するための手段】この発明は、高電圧発生回路を内蔵する半導体装置において、前記高電圧発生回路は、キャパシタとこれにより駆動されて一方向に電荷を転送する整流回路とからなる昇圧ユニットが基準端子と出力端子の間に複数段直列接続された昇圧回路と、一次コイルと二次コイルを備え、その二次側出力が前記昇圧回路のキャパシタに供給されるトランスフォーマと、このトランスフォーマの一次側にパルスを提供するパルス発生器と、を有することを特徴とする。

【0018】この発明によると、従来の昇圧回路の駆動

パルスを、トランスフォーマにより昇圧して与えることによって、昇圧回路の段数を少なくして十分な高電圧を発生させることが可能になる。従って、フラッシュメモリ等の半導体装置における昇圧回路の占有面積を小さくすることが可能になる。

【0019】この発明において、トランスフォーマの二次コイルの第1及び第2の端子にそれぞれ、アノードが接地されたダイオードを接続することにより、昇圧回路に正パルス電圧を供給することができる。また、トランスフォーマの二次コイルの第1の端子の出力が昇圧回路の偶数段の昇圧ユニットのキャパシタに、第2の端子の出力が昇圧回路の奇数段の昇圧ユニットのキャパシタに供給されるようにすれば、昇圧回路を二相駆動することができる。

【0020】この発明において、好ましくは、トランスフォーマの二次コイルの第1及び第2の端子とその出力が供給されるキャパシタとの間にそれぞれ、二次コイルからキャパシタの方向にのみ電流を流すように整流素子を挿入する。これにより、トランスフォーマでの無用な発振を防止することができる。更に、各整流素子の下流側に、制御信号により電荷を放電するトランジスタを設けることにより、昇圧回路を駆動する異なる位相のパルスの重なりを確実に防止することが可能になる。この場合、整流素子としては、ダイオード接続されたトランジスタを用いることが好ましく、これにより無用なバイポーラ動作を防止することができる。

【0021】この発明はまた、高電圧発生回路を内蔵する半導体装置において、前記高電圧発生回路は、一次コイルと二次コイルを備えて構成されたトランスフォーマと、このトランスフォーマの一次側にパルスを提供するパルス発生器と、前記トランスフォーマの二次コイルの第1及び第2の端子にそれぞれカソードが接続され、アノードが接地されたダイオードと、前記トランスフォーマの二次コイルの第1及び第2の端子と出力端子との間にそれぞれ、二次コイルから出力端子の方向にのみ電流を流すように介在させた、ダイオード接続されたトランジスタと、を有することを特徴とする。

【0022】この様に、従来の昇圧回路を用いることなく、トランスフォーマと全波整流回路を組み合わせることによっても、10V程度の高電圧を発生させることが可能である。この場合、全波整流回路を、ダイオードとトランジスタの組み合わせで構成することにより、高い高電圧発生効率を得ることができ、また無用なバイポーラ動作を防止することができる。

【0023】この発明による高電圧発生回路において、好ましくはその出力端子に、出力電圧のレベルを検知して前記パルス発生器の活性及び非活性を制御する電圧リミッタを設ける。また、トランスフォーマの一次コイル及び二次コイルは、好ましくは、半導体基板上に絶縁膜を介して積層された、渦巻き状にバターンニングされた配

線層により形成された平面型コイルとし、半導体基板には、平面型コイルの中心を通して半導体基板に下ろされた垂線と交差する直線状の素子分離領域を形成する。これにより、平面型コイルを用いた場合の渦電流によるエネルギー損失を効果的に防止することができる。

【0024】この発明による半導体装置は更に、半導体基板と、この半導体基板上に、渦巻き状にパターンニングされた配線層により形成された平面型コイルと、前記半導体基板に、前記平面型コイルの中心を通して前記半導体基板に下ろされた垂線と交差する直線状に形成された素子分離領域とを有することを特徴とする。

【0025】この発明による半導体装置は更に、半導体基板と、この半導体基板を覆う第1の絶縁膜上に渦巻き状にパターンニングされた第1の配線層により形成された第1のコイルと、この第1のコイルを覆う第2の絶縁膜上に、第1のコイルと同軸的に渦巻き状にパターンニングされた第2の配線層により形成された第2のコイルと、前記半導体基板に、前記第1及び第2のコイルの中心を通して前記半導体基板に下ろされた垂線と交差する直線状に形成された素子分離領域とを有し、前記第2のコイルを一次コイル、前記第1のコイルを二次コイルとしてトランスフォーマが構成されていることを特徴とする。第2のコイルを覆う第3の絶縁膜上に更に、第1及び第2のコイルと同軸的に渦巻き状にパターンニングされた第3の配線層により形成されて、第1のコイルと並列接続されて一次コイルとして用いられる第3のコイルを有するものとしてもよい。

【0026】以上のように、半導体基板上に平面型コイルやこれを用いたトランスフォーマを形成する場合に、その直下に素子分離領域を設けることにより、渦電流の流れない平面型コイルを実現することができる。素子分離領域は好ましくは、放射状に形成される。

【0027】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。図1は、この発明の実施の形態による半導体装置に搭載される高電圧発生回路の構成を示している。具体的に半導体装置は、EEPROM、フラッシュメモリ等である。この高電圧発生回路の本質は、通常用いられる昇圧回路1と、マイクロトランスフォーマ2とを組み合わせただけにある。昇圧回路1は、整流回路としてのダイオード接続されたNMOSトランジスタQN0と、これに一端が接続されたキャパシタCとからなる昇圧ユニットを、電源Vccと出力端子Voutの間に複数段直列接続して構成されている。

【0028】マイクロトランスフォーマ2の一次コイルには、パルス発生器3の出力パルスが供給される。二次コイルの端子N1、N2に得られるパルス電圧が、昇圧回路1の奇数段及び偶数段のキャパシタCに供給されるようにしている。端子N1、N2には、アノードが接地されたダイオードD1、D2がそれぞれ接続されてい

る。従って、端子N1、N2にはパルス駆動により交互に正パルスが得られ、これにより昇圧回路1の電荷転送による昇圧動作が行われる。

【0029】マイクロトランスフォーマ2は、後述する実施の形態の形状を採用するのが望ましいが、それ以外のものを使ってもよい。またこのマイクロトランスフォーマ2の巻数比1:nのnの値は大きい方が望ましいが、n=1であってもインダクタンスならびに電流の時間変化量が大きければ誘導起電力として高い値が得られる。したがってnの値は1以上であればよい。マイクロトランスフォーマ2は巻数比が大きくなるにつれ結合定数は小さくなる傾向にあるため、20V近い高電圧をマイクロトランスフォーマのみで作るのは効率的でない。そこでこの実施の形態では、マイクロトランスフォーマ2として、好ましくは結合定数が比較的高い巻数比1:5程度のものを用いる。これにより電源電圧Vccの数倍程度のパルスを端子N1、N2に生成し、このパルスを用いて昇圧回路1を駆動する。このようにすることで、昇圧回路1の段数を減らすことができ、結果的に昇圧回路面積を縮小できる。

【0030】図1のマイクロトランスフォーマ2において、一次コイルのパルス振幅をV1、巻数比を1:n、結合定数をkm、ダイオードD1、D2のアノード・カソード間電圧をVfすると、二次コイルに得られるパルス電圧振幅は、 $V2 = n \cdot km \cdot (V1 - Vf)$ となる。なお、図1の昇圧回路1内の整流回路としては、ダイオード接続のトランジスタを用いているが、整流作用を有する回路であれば、これ以外の回路構成を採用してもよい。

【0031】昇圧回路1で生成された電圧は、出力端子Voutに接続された電圧ミリッタ4で検知される。出力電圧が所望の電圧を超えていると判定されたら、電圧ミリッタ4は、フラグ信号を第1状態とする。これによりパルス発生器3が非活性になり、昇圧動作が止まる。一方、出力電圧が所望の電圧よりも低いと判定されたら、電圧ミリッタ4はフラグ信号を第2状態とし、これを受けてパルス発生器3はパルス生成を開始する。昇圧回路1の出力端子Voutに接続されたキャパシタCsは、リップル削減のためのものである。このような電圧リミッタ4の制御により、昇圧回路1の出力電圧を所望の電圧に保つことができる。

【0032】なお、以上では正の高電圧を生成する場合を説明したが、この方式は負の電圧を生成する負電圧生成回路にも応用できる。この場合はマイクロトランスフォーマ2により増幅されたパルスを、負電圧生成回路(Negative Charge Pump)に入力すればよい。

【0033】図2は、他の実施の形態による高電圧発生回路の構成を示す。図1の実施の形態と基本構成は同様であり、対応する部分には同一符号を付して詳細な説明は省く。この実施の形態においては、マイクロトランス

フォーマ2の二次側出力端子N1、N2と、昇圧回路1の奇数段及び偶数段のキャパシタCに接続される端子N3、N4との間にそれぞれ、端子N1、N2から端子N3、N4側のみ電流を流す整流回路として、ダイオード接続のNMOSTランジスタQN1、QN2を挿入している。

【0034】このような整流回路を設けると、二次コイルで発生し得るLC発振を防ぐことができる。LC発振が起ると、昇圧回路1の偶数段に入るパルスと奇数段に入るパルスとが重なってしまい、正常な昇圧動作が行なえなくなるので、整流回路を設けることは有効である。

【0035】端子N3、N4には更に、電荷を放電させるためのNMOSTランジスタQN3、QN4を接続している。これらのNMOSTランジスタQN3、QN4による放電動作は、信号S1、S2により相補的に制御されるものとする。即ち、端子N3にパルスが供給されている間は、端子N4は接地され、端子N4にパルスが供給されている間は端子N3が接地されるようにする。

【0036】図3は、この様な制御を行ったときの、各端子電圧波形を示している。制御信号S1、S2によって、端子N3、N4のパルス信号を強制的にリセットすることで、昇圧回路1のキャパシタ駆動の重なりを防止することができる。

【0037】図4は、更に別の実施の形態による高電圧発生回路である。この実施の形態では、昇圧回路を組み合わせることなく、マイクロトランスフォーマ2とその二次側出力に設けられた整流回路5のみで高電圧を生成する。整流回路5は、全波ブリッジ整流回路であるが、端子N1、N2と接地端子の間のブリッジ片には、pn接合ダイオードD1、D2を用い、端子N1、N2と出力端子Voutの間のブリッジ片には、ダイオード接続されたNMOSTランジスタQN1、QN2を用いている。

【0038】巻数比が大きく且つ、結合定数の大きいマイクロトランスフォーマが得られる場合や、10V程度の中間的な高電圧を生成する場合は、この実施の形態の回路構成が有効となる。図4の整流回路5においてブリッジ片にpn接合ダイオードとNMOSTランジスタを使い分けているのは、理由がある。その理由を以下に説明する。

【0039】pn接合ダイオードD1、D2は例えば、図5に示すように、p型シリコン基板11に形成されたn型ウェル12をカソード層とし、このn型ウェル12に形成されたp型層13をアノード層として構成される。カソード端子Kが端子N1、N2に、アノード端子Aが接地端子に接続される。接地電位とマイクロトランスフォーマ2の端子N1、N2との間の整流の場合は、この様なpn接合ダイオードD1、D2を用いても、p型層13がp型基板11と共に接地されるため、バイボ

ラ動作は起こりにくい。

【0040】しかし、同様のpn接合ダイオードを端子N1、N2と出力端子Voutの間に用いたとすると、アノード端子Aが端子N1、N2に、カソード端子Kが出力端子Voutに接続される。このとき、マイクロトランスフォーマ2から電流が供給され、端子N1の電圧が約0Vから10V近くにまで急激に上昇すると、アノード端子Aからn型ウェル12内に流れ込んだ順方向電流は、端子N1とn型ウェル12の間の大きな電位差のためにその全てがn型ウェル12のコンタクト（即ちカソード端子K）には吸収されず、一部はp型基板11に流れ込む。このため出力電流（出力端子Voutに転送されるべき電荷）が減少し、高電圧発生効率が悪化する。また、p型基板11に流れ込むことでバイポーラ動作することになり、近くにn型ウェルがあるとラッチアップ等の原因ともなる。

【0041】このような事情を考慮して、端子N1、N2と出力端子Voutの間には、NMOSTランジスタQN1、QN2による整流回路を用いる。これにより、pn接合ダイオードを用いた場合の不都合を解消することができる。なお、NMOSTランジスタQN1、QN2は、しきい値電圧が小さいものを用いて、順方向電圧降下を極力小さくすること、また逆方向バイアス時には良好なカットオフ特性を示すことが好ましい。

【0042】図6は、図4の実施の形態を変形した実施の形態である。ここでは、マイクロトランスフォーマ2の巻数比を1:2nとして、二次コイルの中間ノードをダイオードD1、D2のアノード端子と共に接地している点が図4と異なる。図4の実施の形態の場合、二次コイル端子N1又はN2と接地端子との間に得られる電圧には、ダイオードD1、D2の順方向電圧Vfが入るから、その電圧振幅は、 $V_2 = n k m (V_1 - V_f)$ となる。これに対して、図6のように構成すると、出力電圧にVf成分が入ることはなく、損失をなくすることができる。従って、図6のような二次コイルの構成は、図1や図2の実施の形態に適用することも有効である。

【0043】ここまでの実施の形態で説明した高電圧生成回路に使用するマイクロトランスフォーマ2は、大きい巻数比で高い結合定数を実現するものでなければならない。また渦電流の生成も極力抑制する必要がある。以下こうした要請を満たしうるマイクロトランスフォーマの好ましい構成例を説明する。但し、以下に説明するマイクロトランスフォーマは、上述の各高電圧発生回路以外の用途にも適用可能である。

【0044】図7は、マイクロトランスフォーマの構成を斜視図で示している。半導体基板21上に、絶縁膜25aを介して二次コイル23が形成され、更にこの上に絶縁膜25bを介して一次コイル24が同軸的に重ねられている。一次コイル24、二次コイル23は、互いに逆巻に、渦巻き状にメタル配線層をバターンングした平



面型コイルである。一次コイル 24 の巻数を  $k$  として、二次コイル 23 は巻数を  $k \times n$  とする。

【0045】この構成は、図 14 のタイプを応用して、巻数比  $1:n$  のトランスフォーマを作ったものである。図 12 のタイプの場合は巻数比を大きくするほど磁束の洩れが大きくなるが、このタイプでは、磁束の洩れの巻数比依存が少ない。

【0046】半導体基板 21 には、渦電流を低減するため、コイル 24、23 の中心を通過して基板に下ろした垂線と交差する直線状の素子分離領域 22 を形成している。具体的図 7 では、互いに直交する 2 本の素子分離領域 22 を形成しているが、1 本のみでもよいし、放射状に伸びる複数本の素子分離領域を形成してもよい。素子分離領域 22 としては、たとえば STI (Shallow Trench Isolation) による埋込み絶縁膜或いは、LOCOS による酸化膜を用いることができる。

【0047】半導体基板 21 上に生成される渦電流は基板の表面部を同心円状に流れるため、この様な素子分離領域 22 があると渦電流がブロックされ、結果として渦電流自体が流れにくくなる。このような素子分離領域による渦電流の削減は、図 12 や図 13 の様な平面型マイクロトランスフォーマすべてに対して有効である。

【0048】図 8 は別の実施の形態によるマイクロトランスフォーマであり、一つの二次コイル 23 を二つの一次コイル 24a、24b で挟んだ構造として、絶縁膜 25a、25b、25c を介して積層している。二つの一次コイル 24a、24b は、コンタクト C1-C2 の間、C3-C4 の間で短絡して並列接続する。このコイル構造を用いると、二次コイル 23 を磁束が一様に通過するため、結合定数をより大きくすることができる。メタル配線層が 4 層以上ある場合はこの構造を採用することができる。

【0049】図 9 は、図 7 に示したマイクロトランスフォーマを複数個並列に並べたものである。各一次コイル 24 は、コンタクト C1-C2-C3 の間、C4-C5-C6 の間を短絡して、二次コイル 23 は同様に、コンタクト C7-C8-C9 の間、C10-C11-C12 の間を短絡して、全体として一つのトランスフォーマとする。

【0050】マイクロトランスフォーマ内の配線抵抗及び寄生容量は遅延をもたらすため、一つのマイクロトランスフォーマで大きな巻数を得ようとすると、高周波応答が難しくなる。巻数を保ったまま配線を太くすると配線抵抗は下げられるが、寄生容量とレイアウト面積が増加してしまう。図 9 に示したように、マイクロトランスフォーマをユニット化して複数個並列に並べてこれらを並列接続すると、高周波応答の点でもレイアウト面積の点でも有利になる。

【0051】図 9 では省略したが、各マイクロトランス

フォーマの下部の半導体基板には、図 7 に示したと同様に素子分離領域を設け、渦電流を低減させる。また、図 8 に示した 3 層構造のマイクロトランスフォーマを複数個並列に並べた構造を採用してもよい。

【0052】

【発明の効果】以上述べたようにこの発明による高電圧生成回路は、低い電源電圧でも小さなレイアウト面積で高電圧が生成でき、しかも既存の半導体製造プロセスを変更することなく実現できる。平面型マイクロトランスフォーマの下部半導体基板には、素子分離領域を設けることにより、渦電流を低減することができる。また一次コイルと二次コイルを縦に重ねて巻数比を  $1:n$  ( $n \geq 1$ ) に設定すれば、巻数比が大きいかつ結合定数の大きなトランスフォーマが得られる。

【図面の簡単な説明】

【図 1】この発明の実施の形態による高電圧発生回路を示す図である。

【図 2】他の実施の形態による高電圧発生回路を示す図である。

【図 3】同実施の形態によるトランス出力波形を示す図である。

【図 4】他の実施の形態による高電圧発生回路を示す図である。

【図 5】同実施の形態に用いられるダイオードの構造を示す図である。

【図 6】他の実施の形態による高電圧発生回路を示す図である。

【図 7】この発明の実施の形態におけるトランスフォーマの構成を示す斜視図である。

【図 8】トランスフォーマの他の構成を示す斜視図である。

【図 9】トランスフォーマの他の構成を示す斜視図である。

【図 10】従来の昇圧回路の構成を示す図である。

【図 11】従来のトランスフォーマの構成を示す図である。

【図 12】従来の平面型トランスフォーマの構成を示す図である。

【図 13】従来の平面型トランスフォーマの他の構成を示す図である。

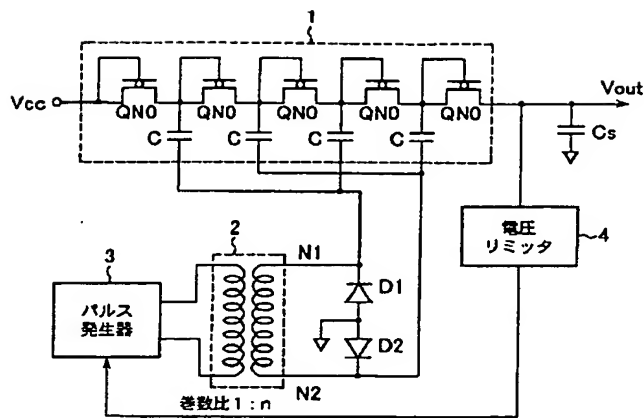
【図 14】従来の平面型トランスフォーマの他の構成を示す図である。

【符号の説明】

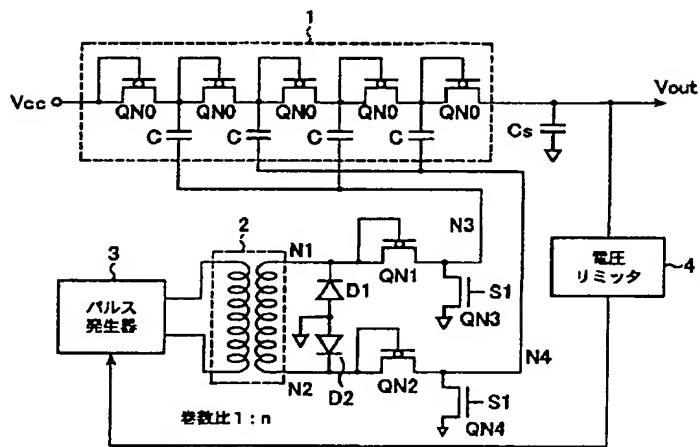
1…昇圧回路、2…トランスフォーマ、3…パルス発生器、4…電圧リミッタ、5…整流回路、21…半導体基板、22…素子分離領域、23…二次コイル、24、24a、24b…一次コイル、25a、25b…絶縁膜、D1、D2…pn 接合ダイオード、QN1、QN2、QN3、QN4…NMOS トランジスタ。



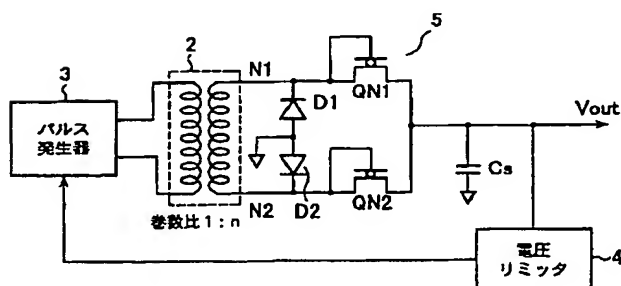
【図1】



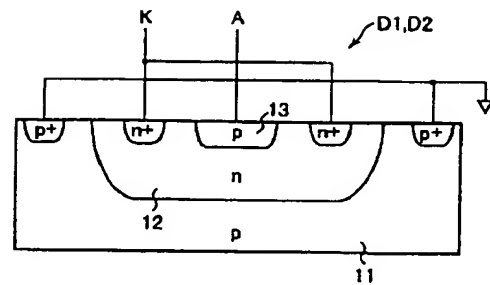
【図2】



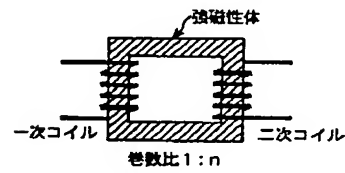
【図4】



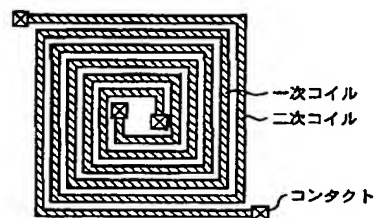
【図5】



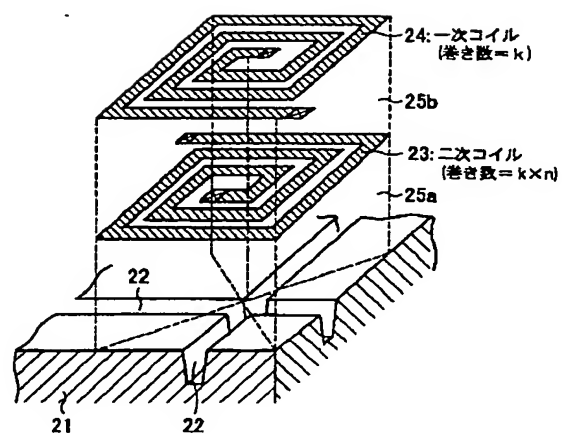
【図11】



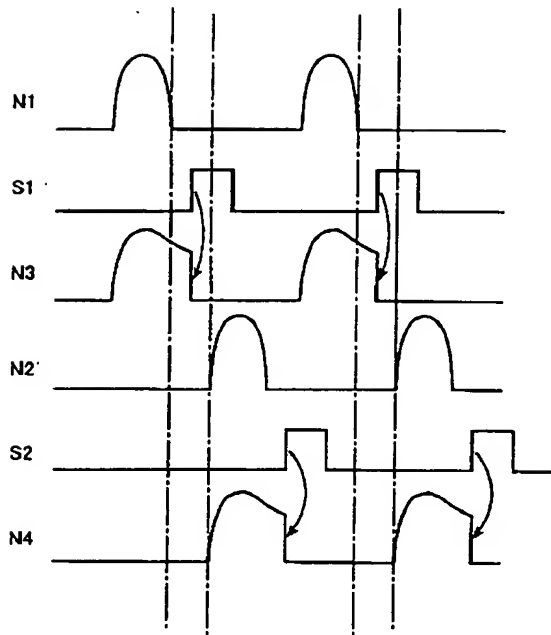
【図12】



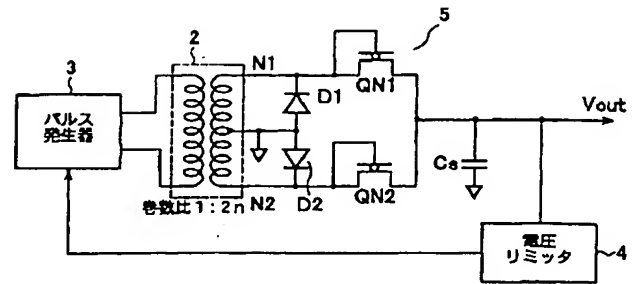
【図7】



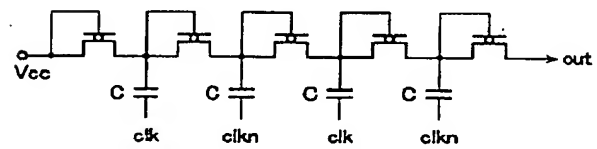
【図3】



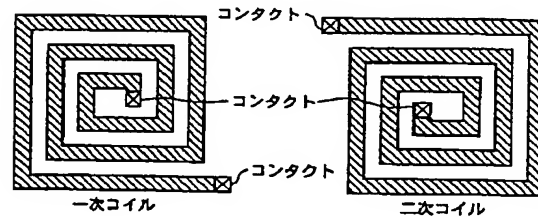
【図6】



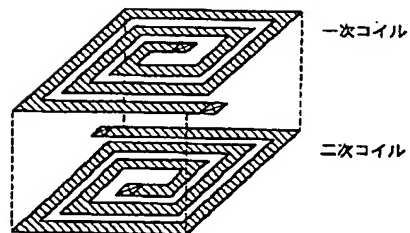
【図10】



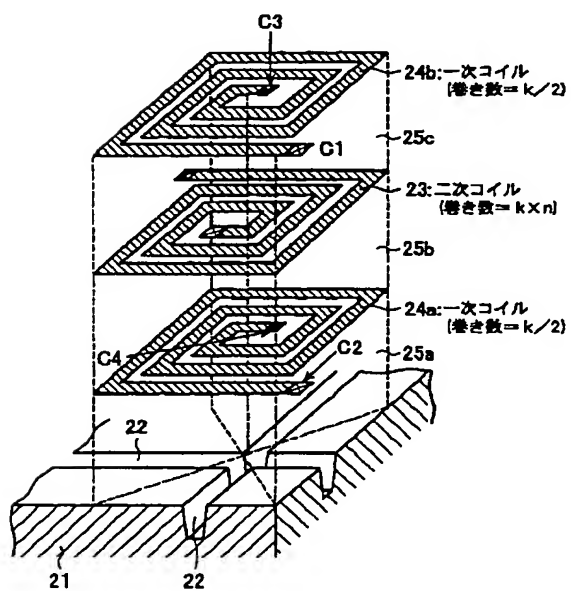
【図13】



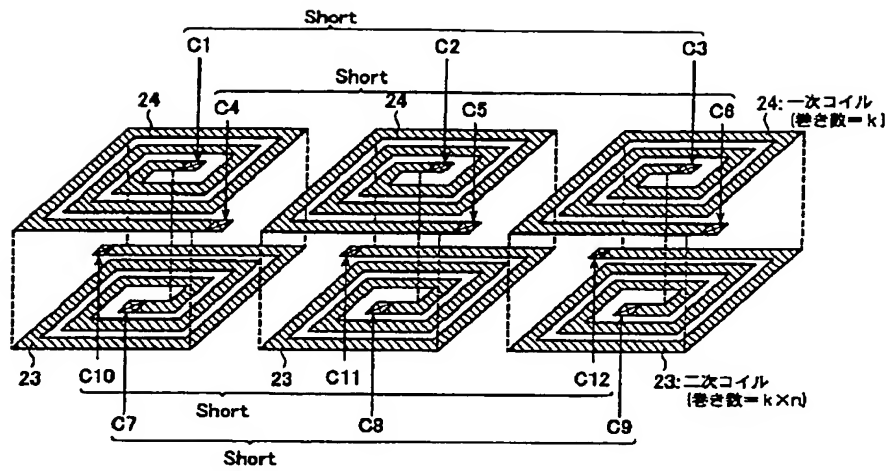
【図14】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

H 0 2 M 7/21

識別記号

F I

H 0 1 L 27/04

ターマコード (参考)

L

F ターム (参考) 5B025 AD10 AE00  
 5E070 AA11 CB13  
 5F038 AZ04 BG03 BG04 BG05 BG08  
 CA07 DF01 DF05 DT12 EZ20  
 5H006 AA00 BB00 CA02 CA07 CB07  
 CC08 DA04 DC05 HA08  
 5H730 AA14 AS01 AS04 BB02 BB22  
 CC25 CC28 DD04 EE07 EE19  
 FD03 FF01 FF05 FG01

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**